

Sistema Autónomo para la Manipulación de Video en Tiempo Real Basado en un FPGA

*Juan Diego Barranco, Enrique Guzmán Ramírez, Gabriel Gerónimo Castillo,
Instituto de Electrónica y Computación
Universidad Tecnológica de la Mixteca
e-mail: jeanknoj1@yahoo.com*

*Romeo Urbieto Parrazales
Profesor del CIC-IPN
e-mail pollux.cic.ipn.mx*

El presente trabajo tiene como objetivo el diseño e implementación de una plataforma hardware autónoma para la manipulación de video en tiempo real basada en una matriz de compuertas programable en el campo, el enfoque del sistema está dirigido a aplicaciones de tratamiento digital de imágenes. Para este fin se propone el uso de la tecnología de los dispositivos lógicos programables como parte central del sistema, planteando la posibilidad de realizar un sistema de captura y procesamiento de imágenes a alta velocidad, con base en la gran flexibilidad y la velocidad de un hardware dedicado. La implementación de los algoritmos de control, manipulación e interpretación de la información de video se hace en un FPGA de la firma Xilinx mediante el lenguaje descriptor de hardware VHDL.

INTRODUCCIÓN

Los digitalizadores de video, también conocidos como "frame grabbers", se fabrican en muchas formas y tamaños con cantidades variantes de funciones incluyendo diferentes conexiones a la computadora, ya que puede ser mediante el bus ISA (**I**ndustry **S**tandard **A**rchitecture), PCI (**P**eripheral **C**omponent **I**nterconnect), USB (U**ni**versal **S**erial **B**us), PS/2, Serial, Paralelo o un conector RCA, entre otros [1]. Este tipo de sistemas hace necesario el uso de una computadora personal (PC), la cual alberga los algoritmos de adquisición y manipulación de la información de video, obteniendo sistemas costosos e inmóviles.

Por otra parte, el uso de una herramienta para la manipulación de video cada vez es más común en aplicaciones autónomas, tales como robótica, medicina y seguridad, entre otras [2]. Este tipo de sistemas autónomos basan su funcionamiento en microcontroladores y procesadores digitales de señales (DSP, Digital Signal Processor)[URL1].

Una alternativa más para este tipo de sistemas es el uso de dispositivos lógicos programables (PLD, Programmable Logic Device) debido a su gran flexibilidad y altas velocidades de ejecución, así como a la gran variedad de herramientas de desarrollo que responden a una filosofía de diseño de sistemas digitales complejos[3].

La herramienta de diseño elegida para el desarrollo de este sistema fue Xilinx Foundation en su versión 4.2i [URL2], el sistema fue implementado en la tarjeta XS40 de la firma Xess Corp. [URL3], la cual cuenta con un FPGA XC4010XL de Xilinx [4], la implementación del sistema tiene la capacidad de adaptarse a cualquier FPGA.

La descripción de los diferentes módulos que componen al sistema fue hecha utilizando el lenguaje descriptor de hardware VHDL (VHSIC Hardware Description Language), debido a su versatilidad, portabilidad y ser un lenguaje estandarizado [5,6]; VHDL se encuentra completamente especificado en los estándares IEEE 1076-1987 y 1164 [7].

El objetivo de este trabajo es desarrollar un sistema autónomo de adquisición de imágenes de bajo costo que permita la aplicación de algoritmos de procesamiento y análisis de imágenes.

ESQUEMA GENERAL DEL SISTEMA AUTÓNOMO PARA LA MANIPULACIÓN DE VIDEO

Considerando las características más comunes que componen un digitalizador de video y las necesidades que

se requieren para las aplicaciones que se dará a este trabajo, se obtiene un esquema general mostrado en la **figura 1**, el cual consta de los siguientes módulos:

- **Circuiteria analógica.** Tiene como funciones el acoplamiento de video al sistema, corrección en CD de la señal de video, rechazo a la subportadora de color, almacenamiento parcial de la señal, generación de voltajes de referencia para el convertidor analógico digital.
- **Separador de sincronía.** Basa su funcionamiento en el circuito integrado LM1881, extrae información de coordinación de la señal de video, incluyendo sincronización compuesta y vertical, coordinación de pórtico anterior e información de los campos par e impar desde una fuente de video NTSC, PAL o SECAM.
- **Memoria de almacenamiento.** Es un bloque de memoria de 1024 Kbytes, sirve como espacio de almacenamiento de la información de video adquirida para su posterior manipulación.
- **Digitalización.** Consta del convertido analógico a digital ADS802U de 12 bits, el cual tiene una velocidad de muestreo de 10 millones de muestras por segundo.
- **Interfaz con una PC.** Aunque se ha mencionado que se trata de un sistema autónomo, fue necesario implementar una interfaz con una PC para poder visualizar los resultados de la adquisición y manipulación del video. La interfaz con la PC se realizó por el puerto serie, en el sistema fue necesario implementar el protocolo RS232 dentro del FPGA.
- **Etapas de control y manipulación del video.** Es la parte central del sistema y basa su funcionamiento en un FPGA XC4010XL de la firma Xilinx. Consta de 3 módulos principales implementados en VHDL: protocolo RS232, etapa de control e implementación de algoritmos de procesamiento digital de señales.

Las especificaciones del sistema autónomo para la manipulación de video son las siguientes:

- Capacidad para adquirir marcos o campos de cualquier fuente de video reglamentada por el estándar RS-170.
- Soporta el formato NTSC.
- Digitalizar imágenes de hasta 488 líneas horizontales por 785 líneas verticales.
- Soporta hasta 4096 niveles de grises.
- Almacenar imágenes dependiendo de su resolución, para su posterior transmisión hacia la PC o para procesarla mediante un algoritmo de procesamiento de imágenes.

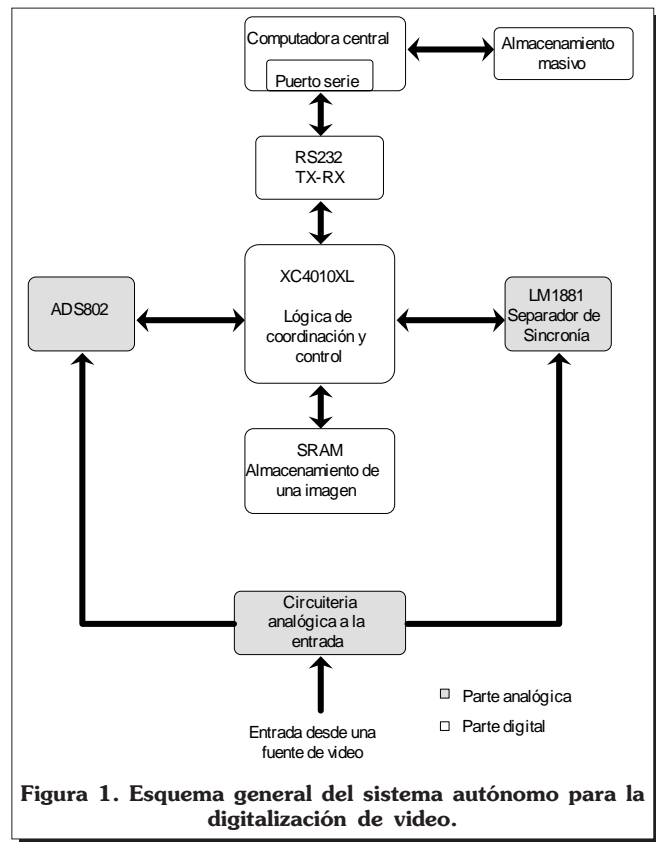


Figura 1. Esquema general del sistema autónomo para la digitalización de video.

- Digitaliza imágenes monocromáticas, cuando sean utilizadas fuentes de video a color las imágenes resultantes serán monocromáticas ya que la información de color se elimina de la señal de video compuesto antes del proceso de digitalización.
- Permite enviar imágenes completas a una PC por medio de una conexión RS232 para evaluar el funcionamiento del digitalizador y no para realizar procesamiento en la PC.
- El FPGA utilizado implementa algoritmos de procesamiento de imágenes.

Todos y cada uno de estos módulos están contenidos en las etapas de Acondicionamiento de la señal de video y, de Control y manipulación de video.

ACONDICIONAMIENTO DE LA SEÑAL DE VIDEO

Esta parte del sistema es analógica, se trata de una versión modificada de la que originalmente fue presentada por Craig A. Lindley [8]. Ésta corresponde en parte al tratamiento de la señal de video y a los dispositivos empleados. Las funciones realizadas en esta etapa incluyen:

- Acoplamiento de video con terminaciones de 75W.
- Corrección en CD de la señal de video.
- Rechazo a la subportadora de color.
- Almacenamiento parcial de la señal
- Generación de los voltajes de referencia para el ADC.

La parte central de esta etapa esta compuesta por el separador de sincronía de la señal de video LM1881. El circuito implementado con este circuito se ilustra en la **figura 2**. Este circuito integrado extrae información de coordinación de la señal de video, incluyendo sincronización compuesta y vertical, coordinación de pórtilo anterior e información de los campos par e impar desde una fuente de video NTSC, PAL o SECAM con amplitudes desde 0.5Vpp hasta 2.0Vpp. La salida vertical se produce en el rizo de subida del primer pulso en el periodo de sincronía vertical.

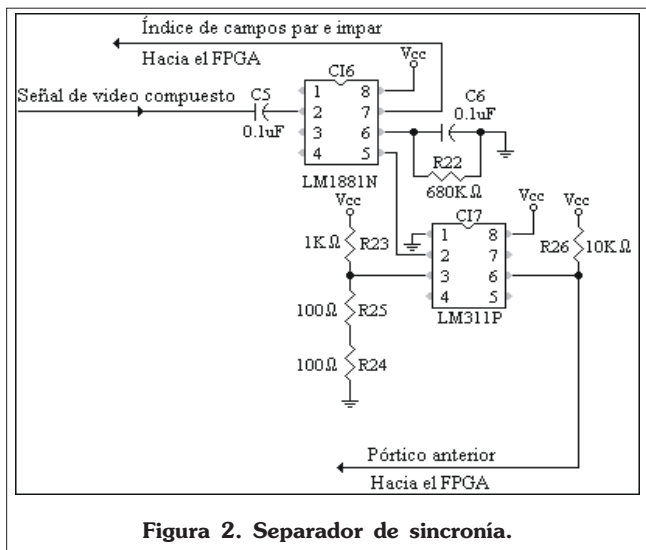


Figura 2. Separador de sincronía.

Aunque el LM1881 proporciona cuatro señales de sincronía especializadas, este diseño solo utiliza la salida de campos par e impar y el pulso de pórtilo anterior. Este par de salidas generan señales de coordinación que identifican los campos de video para el almacenamiento en memoria, recuperan señales de sincronización contaminadas u omitidas y también proporcionan referencias de coordinación para la extracción de datos codificados o no codificados en líneas de video específicas. Para entender mejor la información de coordinación y los tipos de señales del LM1881, éstas se ilustran en la **figura 3**.

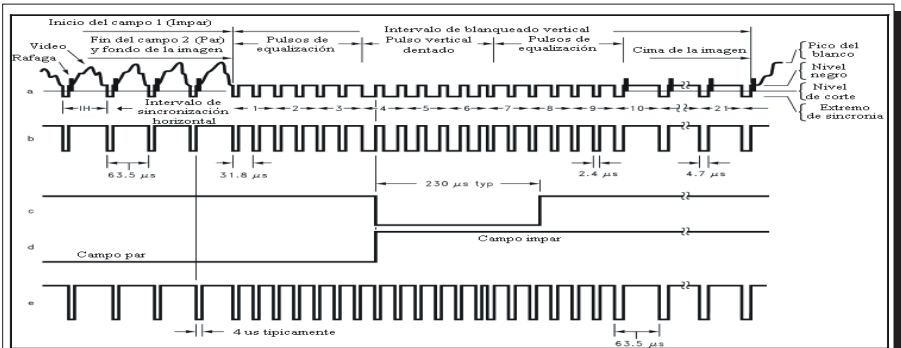


Figura 3. Señales controladas por el LM1881. (a) Video compuesto. (b) Sincronización compuesta. (c) Pulso de salida vertical. (d) Índice de campos par e impar. (e) Señal de pórtilo anterior.

CONTROL Y MANIPULACIÓN DE VIDEO

Esta etapa está implementada en un FPGA XC4010XL de la firma Xilinx, utilizando el lenguaje descriptor de hardware VHDL, y está dividida en tres módulos: módulo de control y sincronía, módulo protocolo RS232 y módulo de manipulación de video (**figura 4**).

MÓDULO DE CONTROL Y SINCRONÍA

Este módulo implementa el protocolo mediante el cual el FPGA XC4010XL controla la adquisición de la imagen de una fuente de video NTSC a través del convertidor analógico a digital ADS802U de la compañía Texas Instruments. El ADS802U es un ADC monolítico de 12 bits, éste opera a baja potencia y en un rango de muestreo máximo de 10 millones de muestras por segundo. Algunas de sus ventajas son que opera con una sola fuente de alimentación de 5V y se puede configurar para aceptar señales diferenciales o referenciadas a tierra. Emplea corrección de errores vía digital para proveer una excelente ejecución lineal, baja distorsión, alta relación señal a



Figura 4. Distribución de recursos del FPGA XC4010XL.

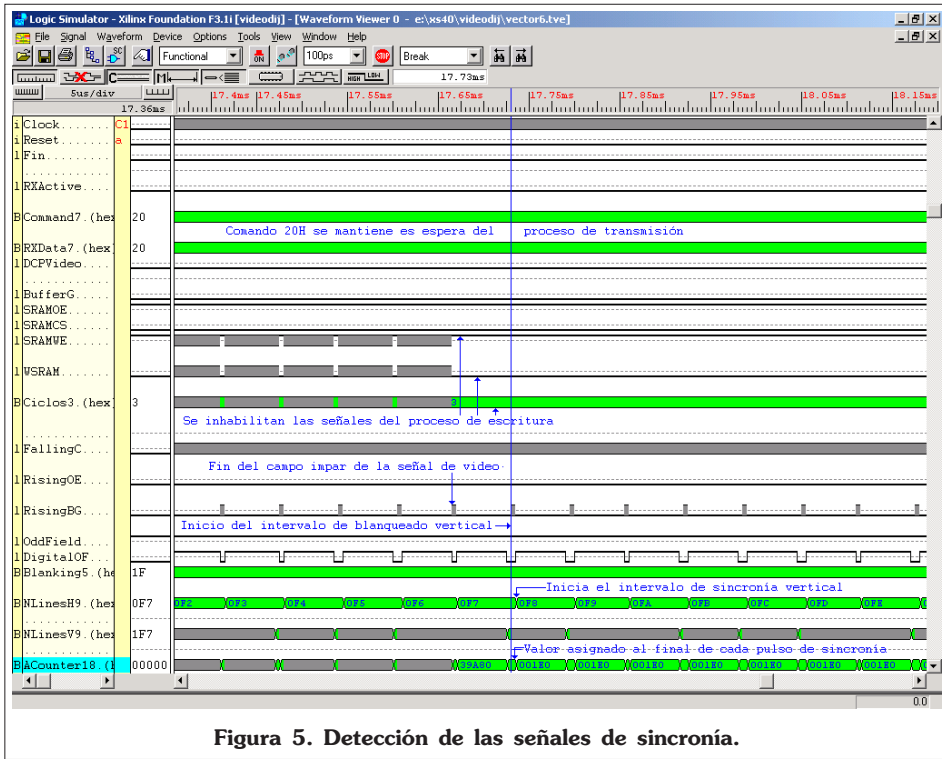


Figura 5. Detección de las señales de sincronía.

MÓDULO PROTOCOLO RS232

Al tratarse de un sistema autónomo carece de un sistema de despliegue de resultados, la finalidad del módulo Protocolo RS232 es poder establecer una interfaz entre el sistema manipulador de video autónomo y una PC. Esta interfaz permite al usuario poder visualizar los resultados de adquisición y manipulación de la señal de video, directamente en la PC permitiendo una evaluación de los resultados del sistema.

Este módulo está formado por las secciones, de transmisión y recepción, descritas a continuación.

La recepción de datos por parte del FPGA tiene como función primordial recibir comandos provenientes desde la PC, tales como el envío de una imagen,

ruido y sobre muestreo, todo esto hace posible que se utilice en aplicaciones de telecomunicaciones, instrumentación y video.

El módulo también controla el acceso al bloque de memoria de 1024 Kbytes que contiene el sistema, este bloque de memoria esta formado por 2 memorias SRAM perteneciente a la familia KM684000B de SAMSUNG. En este módulo de memoria se almacenan las imágenes adquiridas y los resultados de los algoritmos que se les aplican, para su manipulación y/o interpretación.

Los protocolos anteriores están en función de las señales provenientes de la etapa analógica, la cual se encarga de adecuar la señal de video para su adquisición. El módulo de control y sincronía se encarga de detectar las señales de sincronía del video para digitalizar la información de éste.

Las figuras 5 y 6 muestran la simulación de los procesos de detección de las señales de sincronía y almacenamiento de un píxel de una imagen respectivamente, dentro del Módulo de Control y sincronía.

iniciar un nuevo proceso de digitalización, etc.

La recepción de un dato da inicio cuando las señales **RXActive** y **RX** son iguales a 0, indicando con esto que la PC ha empezado a enviar un bit de inicio, esto se puede apreciar en la figura 7.

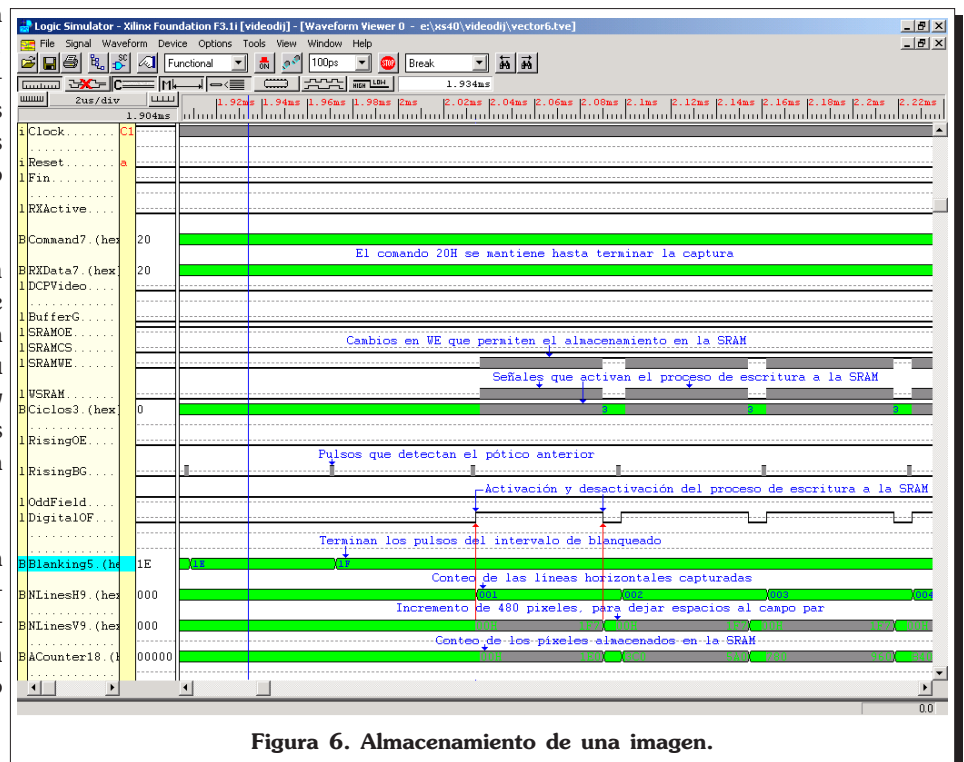


Figura 6. Almacenamiento de una imagen.

La siguiente condición se cumple cuando **RXActive** se ha activado, **RXDelay** está desactivado ya que no ha transcurrido el tiempo de espera e **iPR1** es igual 156. Este valor corresponde a la mitad del tiempo que dura un bit en una transmisión con velocidad de 115200 baudios, la forma de obtener este valor es dividiendo la frecuencia del reloj maestro entre la velocidad de transmisión deseada y luego dividirlo entre 2 ya que corresponde a la mitad de un bit como se muestra en la ecuación 1. La condición termina activando a **RXDelay** y asignando valores iniciales a los objetos **iPR1** e **iPR2**.

$$\frac{\text{Frecuencia de Operación del Sistema}}{(2) \text{ Velocidad de Transmisión}} = \text{Ciclos de retardo} \dots\dots\dots \text{Ec. (1)}$$

Cuando se ha activado la recepción de un carácter y ha transcurrido el tiempo de retardo, la posición que se ha alcanzado es la mitad del tiempo que dura el bit de inicio, es necesario esperar 312 ciclos de reloj más para almacenar la muestra del bit menos significativo, después de transcurrir los siguientes 312 ciclos es posible tomar la muestra del segundo bit y así sucesivamente. Los 8 bits se almacenan en **RXData** teniendo en su localidad 0 el bit LSB y en su localidad 7 el bit MSB, después de que se han capturado los 8 bits el proceso de recepción espera aproximadamente 370ms aunque podría esperarse menos tiempo, sin embargo aquí se ha utilizado este valor

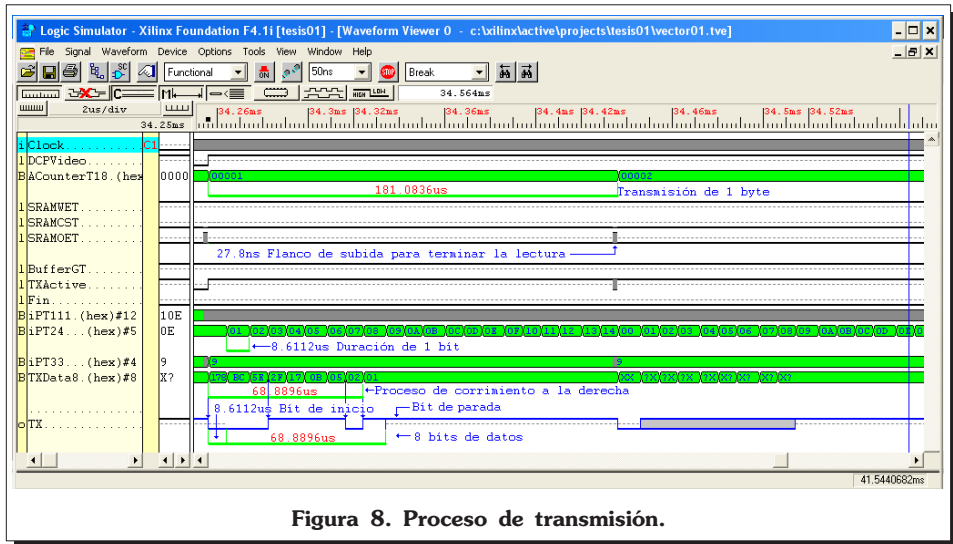


Figura 8. Proceso de transmisión.

módulo de transmisión recupera el primer píxel de la SRAM y lo envía hacia la PC vía puerto serie, este proceso se repetirá hasta terminar de enviar todos los pixeles que componen una imagen, **figura 8**. El número de pixeles que compone una imagen está en función del registro configurable **Counter1** y del reloj del convertidor analógico digital, **tabla 1**.

Valor de Counter1	Frecuencia de reloj del ADC (MHz)	Resolución horizontal de la imagen
2	9.0	495
3	6.0	330
4	4.5	247
5	3.6	198

Tabla 1. Parámetros de resolución de una imagen.

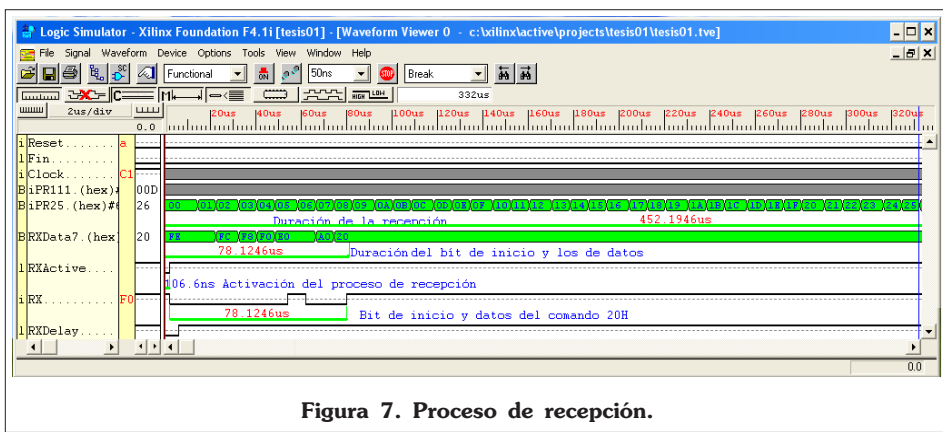


Figura 7. Proceso de recepción.

para asegurar el dato, como se ilustra en la **figura 7**. El proceso de transmisión se inicia con una orden de la PC con la finalidad que el sistema autónomo de adquisición de imágenes le envíe la última imagen digitalizada. El

MÓDULO DE MANIPULACIÓN DE VIDEO

Se pretende que una vez adquirida la señal de video se puedan implementar algoritmos de procesamiento de imágenes, tales como gradientes, detección de bordes, filtrado de la señal, codificación, etc.

Este módulo reserva recursos dentro del FPGA para poder implementar ahí los algoritmos de procesamiento de imágenes.

La **figura 9** muestra el resultado de la adquisición de una imagen.

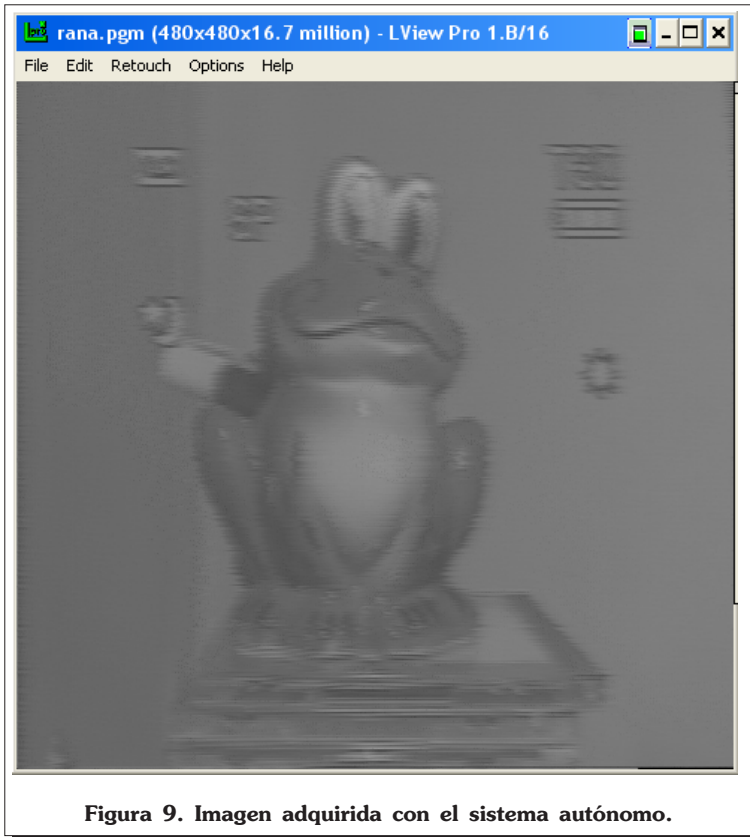


Figura 9. Imagen adquirida con el sistema autónomo.

APLICACIONES

En este momento se está haciendo uso de este sistema en las siguientes aplicaciones:

Visión artificial para móviles. Dotar de visión a un robot mediante la implementación de algoritmos de procesamiento de imágenes tales como detección de bordes y gradientes.

Sistema autónomo para reconocimiento de rostros. Utilizarlo en sistemas de seguridad para permitir el acceso con base al reconocimiento de ciertas características del rostro humano.

CONCLUSIONES

El resultado de este trabajo es un sistema que incluye las ventajas inherentes de utilizar FPGA's, como son la versatilidad, alta velocidad de procesamiento, fácil adaptación del sistema, flexibilidad, tiempo de diseño, etc., características necesarias en aplicaciones de tratamiento de imágenes.

La reconfiguración es una característica más que un FPGA ofrece, con ella se puede lograr que este sistema

pueda implementar diversos algoritmos, en distintos tiempos, mediante los mismos recursos de hardware.

Al emplear un lenguaje descriptor de hardware como VHDL, permite que el diseño posea una característica importante para el mantenimiento del sistema, la modularidad, esto implica que el diseño está dividido en varias secciones, lo cual facilita hacer un rediseño del sistema o incluir secciones nuevas de propósito específico.

Las áreas donde se puede aplicar este sistema son amplias, visión artificial para móviles, sistema autónomo para reconocimiento de rostros, reconocimiento de huellas digitales, codificadores de video o imágenes tales como JPEG (Joint Photographic Experts Group), etc.

Con cambios pequeños, el digitalizador podrá trabajar con los estándares de video a color PAL o SECAM, soportando el formato NTSC por default.

REFERENCIAS

- [1] F. Blasco, F. Pardo, J. A. Boluda, "Sistema de adquisición de imágenes Log-Polares con alta velocidad basada en bus PCI", Dpt de Informática y Electrónica, Universidad de Valencia, España, 1999.
- [2] J. C. Vélez, A. Echeverría, A. Gallón, "CHIP para adquisición y edición de video", Grupo de Microelectrónica, U.P.B., Medellín, Colombia, 2000.
- [3] E. Mandado, L. J. Álvarez, D. Valdés, "Dispositivos Lógicos Programables y sus aplicaciones", Ed. Thomson, España, 2002, pp. 76-99, pp.130-134.
- [4] *The programmable Logic Data Book 2000*; Xilinx, Inc., 2000, CD-ROM.
- [5] S. A. Pérez, E. Soto, S. Fernández, "Diseño de Sistemas Digitales con VHDL", Ed. Thomson, España, 2002.
- [6] D. Pellerin, D. Taylor, "VHDL, Made Easy!", Ed. Prentice-Hall, USA, 1997.
- [7] *IEEE standard VHDL Language Reference Manual*, IEEE Standard 1076-1993, 1994.
- [8] Craig A. Lindley, "Practical image processing in C", Ed. John Wiley & Sons, USA, 1991, pp. 60-64.

[URL1] Texas Instruments. <http://dspvillage.ti.com>

[URL2] Xilinx, Inc. <http://www.xilinx.com>

[URL3] Xess, Corp. <http://www.xess.com>