

SISTEMA DE MULTIPROCESAMIENTO ACOPLADO A UN AMBIENTE DE COPROCESAMIENTO MEDIANTE LA TÉCNICA DEL MAPEO

M. en C. G. Abraham Mas Levario.
Centro de Investigación en Computación
- I P N

El presente artículo considera una solución al problema de cómo relacionar un Host con un sistema multiprocesador ubicado en un circuito impreso. El circuito está conectado en el bus de expansión ISA del Host. Con una extrapolación de esa solución también se considera el problema de cómo relacionar internamente y externamente los nodos de un multiprocesador en un cómputo coordinado. Las soluciones se plantean en términos de la técnica de mapeo.

INTRODUCCIÓN

En la actualidad se cuentan con una gran cantidad de mecanismos computacionales para mejorar el rendimiento en uno o más de los atributos de las máquinas de arquitecturas abiertas, como lo es la Computadora Personal (PC). Existen con el objetivo de mejorar las velocidades nativas en diferentes tipos de procesamiento.

Aquí se presenta una técnica alternativa que proporciona la conceptualización e implementación que es en sí un modo de direccionar un bloque de memoria a través de la proyección de un segmento del direccionamiento en modo real de la

PC. El bloque de memoria no pertenece a la tarjeta matriz de la PC, sino que pertenece a una tarjeta de expansión conectada al Bus ISA, permitiendo así que la PC en ciertos momentos sea el Host de un coprocesamiento. Desde este punto de vista, se tiene una tarjeta coprocesadora que podría comportarse como una máquina paralela tipo MIMD (Multiple Instruction Multiple Data).

La máquina paralela es un sistema de multiprocesamiento de dos nodos o elementos de procesamiento con una red de interconexión. Los elementos de procesamiento están constituidos básicamente de un procesador de TI (DSP TMS320C50 de 40 Mhz), un bloque 32 Kbytes de memoria estática de 20 ns y dispositivos de lógica F con el objetivo de evitar colisiones de diferentes direccionamientos. La red de interconexión está construida con una red de conmutación y con 16 elementos de conmutación. Una FPGA de TI (TPC1010AFN-068C) proporciona la red de conmutación y 16 elementos transeptores 74F245 constituyen los elementos de conmutación. En la FPGA es donde se extrapola la técnica de tal manera que permite cómputos independientes entre los nodos, cómputos con recursos externos compartidos entre los nodos y cómputos con broadcasting entre los nodos.

MÉTODOS

Para conceptualizar la técnica se emplea el concepto del término map del Inglés cuya traducción apropiada en este caso es mapear. La palabra mapear es un verbo del tipo transitivo cuyo significado denotativo de "unir" se usa en dos puntos de vista para crear dos significados connotativos. Desde el punto de vista del software, mapear tiene la siguiente definición: Transferir un conjunto de objetos de un lugar a otro. Desde el hardware, tiene la siguiente definición: Relacionar un conjunto de objetos con otro. Con el verbo mapear se da origen a un par de adjetivos: mapeado o mapeada; y también a dos sustantivos: mapeador y mapeo.

En vista de lo anterior, se adjetiva al sustantivo memoria para crear el término compuesto memoria mapeada.

Una memoria mapeada es una unidad de direccionamiento lógico usada por dos o más entidades computacionales, de tal modo que a través de un objeto lógico sólo una unidad computacional pueda usarla en un determinado momento. Esta memoria mapeada es el bloque de memoria de la tarjeta coprocesadora que se alcanza al proyectar un segmento del modo real de la PC a ésta.

El término mapeador se refiere al objeto lógico que tiene la función de

mapear la memoria mapeada de la tarjeta coprocesadora con el Host. El mapeador también está localizado en la tarjeta y actúa directamente sobre la memoria mapeada. La circunstancia que se origina en la tarjeta coprocesadora cuando el mapeador está actuando sobre la memoria mapeada es lo que se llama mapeo. La técnica del mapeo intrínsecamente es una actividad de direccionamiento sin colisiones.

EL MAPEADOR

Con la definición descriptiva del mapeo se establece el tipo de función a crear. Esta función organiza un conjunto de funciones lógicas del diseño digital que permiten visualizar el mapeador como una unidad computacional.

Para evidenciar con más detalle el fenómeno del mapeo de un mapeador, se presentan una relación de observaciones que esencialmente son los siguientes axiomas y teoremas.

AXIOMAS:

Cualquier idea o conjunto de ideas pueden ser representadas con matemáticas con la finalidad de poder calificar y cuantificar el objeto mental al que se refiere o refieren las ideas.

Cualquier objeto o conjunto de objetos computacionales pueden ser organizados y coordinados con la calificación y cuantificación del objeto mental al que se refieren las ideas.

COROLARIO:

En vista de lo anterior a cualquier objeto computacional se le puede atribuir cierto concepto cuando uno puede percibirlo.

A cualquier objeto computacional se le puede asignar un nombre según un criterio que tenga relación con la

zona donde se aplique, por lo tanto a éste se le llama mapeador.

La primera acción creada en un mapeo es la comunicación entre el entorno de la PC y el mapeador.

La segunda acción creada en un mapeo es la comunicación entre el segmento D (elegido arbitrariamente y seleccionado entre los segmentos de propósito general) del entorno de la PC y la memoria mapeada.

El primer factor creado en una comunicación es el fenómeno de localización de espacios, llamado en este trabajo direccionamiento.

TEOREMAS:

Las líneas más significativas del direccionamiento del Bus ISA son los factores que contribuyen a que el mapeador establezca una correspondencia unívoca entre el segmento D y la memoria mapeada.

Las líneas menos significativas del direccionamiento del Bus ISA son parte de la correspondencia unívoca

que se da entre el segmento D y la memoria mapeada.

POSTULADOS:

El fenómeno del mapeo es esencialmente una circunstancia de localización por reflejo desde el punto de vista de la tarjeta coprocesadora, y además es una circunstancia de localización por correspondencia unívoca desde el punto de vista del mapeador.

La correspondencia unívoca en el caso del mapeo es una ecuación lineal de primer grado.

El mapeador es la solución de la ecuación lineal de primer grado. En el mapeo se distinguen dos conjuntos: el de las direcciones del segmento D y el de las direcciones de la memoria mapeada. Ambos conjuntos contienen 64 Kbytes de localidades. La representación esquemática y correspondencia postulada se observa en la figura 1.

La correspondencia que se da en el mapeo existe sólo para un par de

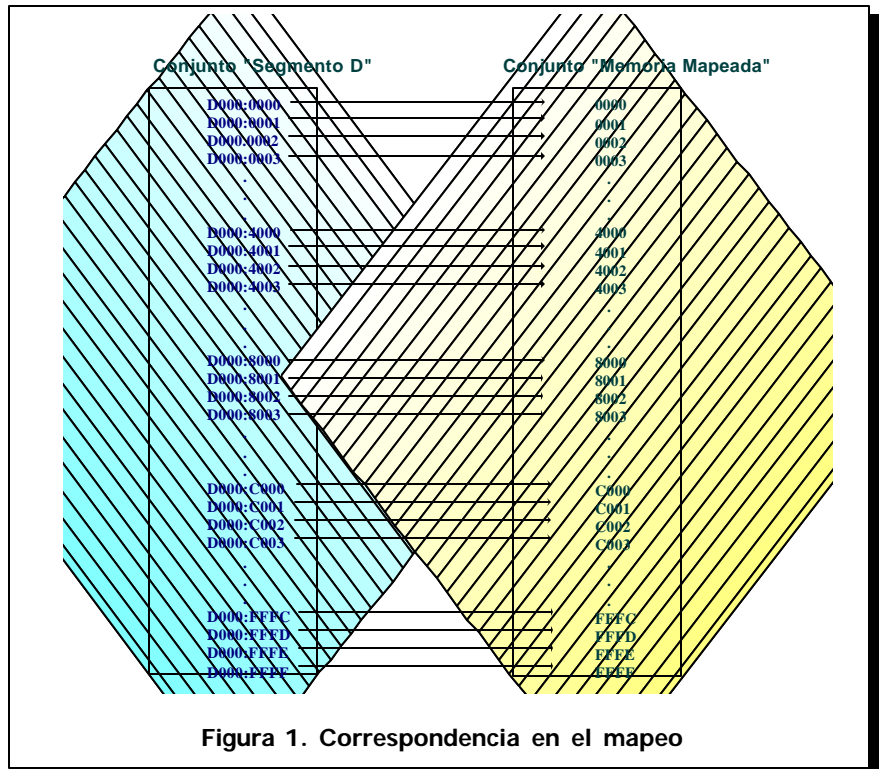


Figura 1. Correspondencia en el mapeo

elementos asociados en un determinado tiempo t_n , donde n es cualquier número mayor que cero. Considerando la figura anterior y que en un instante el mapeo es un par ordenado de números, se puede suponer que el mapeo en todos los instantes es un conjunto de pares ordenados de números, tales que ninguna pareja de ellos tiene el mismo primer número, y que los segundos números de las parejas pueden ser obtenidos mediante una relación que se puede simbolizar a su vez como la ecuación de la función que se expone a continuación:

$$f(N_{12}N_8N_4N_0) ? DN_{12}N_8N_4N_0 ? D0000$$

Ec. 1

En donde D0000 significa el inicio del segmento D, $N_{12}N_8N_4N_0$ significa el offset del segmento D y es cualquier valor entre $(0000)_{16}$ y $(FFFF)_{16}$, y el resultado que refiere $f(N_{12}N_8N_4N_0)$ es el segundo número hexadecimal de cierto par ordenado de un mapeo. Ahora, cada N se refiere a un número formado por cuatro magnitudes binarias de cuatro líneas de direcciones del bus, así que cada N se obtiene respectivamente como se indica a continuación:

$$N_0 = (A_3 A_2 A_1 A_0),$$

$$N_4 = (A_7 A_6 A_5 A_4),$$

$$N_8 = (A_{11} A_{10} A_9 A_8) \text{ y}$$

$$N_{12} = (A_{15} A_{14} A_{13} A_{12}).$$

La resta de la ecuación 1 es la solución y la operación algebraica que establece el mapeo en sí. Con la observación anterior se determina que para hacer un direccionamiento en la memoria mapeada se deben emplear las magnitudes de las líneas A_0 a la A_{15} del bus ISA. Además la resta de la ecuación es una aproximación y un modo implícito de conceptualizar el mapeador con las magnitudes de las líneas A_{16} , A_{17} , A_{18} y A_{19} .

Para hacer un análisis cualitativo estructural del mapeador, se puede seguir un camino y el camino es considerar al mapeador como parte de una red de interconexión. La idea es suponer que todas las tarjetas de expansión poseen un mapeador, así se puede visualizar que todo el conjunto de mapeadores de las tarjetas que interactúan con el bus ISA es una red de interconexión dinámica. Una red de interconexión dinámica desde el punto de vista de este trabajo es una estructura física de direccionamiento por etapas, cada una de las etapas se localizan en cada tarjeta y poseen componentes que se dedican a direccionar las memorias mapeadas de dicha tarjeta de expansión en el ambiente de las ranuras del bus ISA. Tales componentes son enlaces y conmutadores programables.

Si se considera que la PC es la única fuente de la red y las memorias mapeadas son los destinos, entonces se puede ver a la red como una estructura que permite hacer una sola conexión de una fuente a un destino a la vez. Cada uno de los destinos es uno de los 16 segmentos de memoria de la PC y cada uno de esos destinos es una memoria mapeada. Por lo tanto se puede deducir que las líneas A_{19} , A_{18} , A_{17} y A_{16} forman parte del mecanismo de direccionamiento de las etapas de la red, por la razón de que esas líneas indican uno de los 16 segmentos y así uno de los 16 destinos. Para establecer las características de la red se postulan una serie de suposiciones que se enlistan a continuación:

- Se usa una sola línea de las cuatro anteriores en cada etapa para direccionar gradualmente un destino.
- Los conmutadores de cada etapa deberán tener una sola entrada de programación, y además cada una de éstas deberán estar en

corto circuito con la línea que llega a la etapa.

- Los conmutadores sólo pueden conmutar hacia uno de dos estados posibles debido a la naturaleza binaria de la línea que se conecta a sus entradas de programación. Por lo tanto, el conmutador programable hace dos correspondencias: la correspondencia de la magnitud del estado 0 y la del estado 1.
- Los conmutadores programables de cada etapa tienen sólo una entrada para permitir los dos tipos de correspondencias.
- Cada uno de los conmutadores necesitan un enlace a su entrada.
- La red debe poseer cuatro etapas para permitir un direccionamiento gradual según los dos tipos de correspondencia.
- Cada etapa de la red tiene un cierto número de salidas según la cantidad de conmutaciones (de 0 a 1 y de 0 a 1) de la línea que le corresponda.

Generalizando, la red consiste de $n = N / A$ etapas, donde N es el número de salidas y A es el número de líneas usadas para establecer una conexión entre la PC y la memoria mapeada. Como $N = 16$ y $A = 4$, entonces $n = 4$ etapas. Cada etapa en la red consiste de un cierto número de enlaces y de conmutadores, en donde el número de enlaces y el número de conmutadores es el mismo de acuerdo a la posición de la etapa en la red. La etapa 1 que está controlada por el bit más significativo (A_{19}) de la dirección del destino tiene la posición cero, la etapa 2 que esta controlada por A_{18} tiene la posición uno, la que controla A_{17} es la etapa 3 y tiene la posición dos, y la que

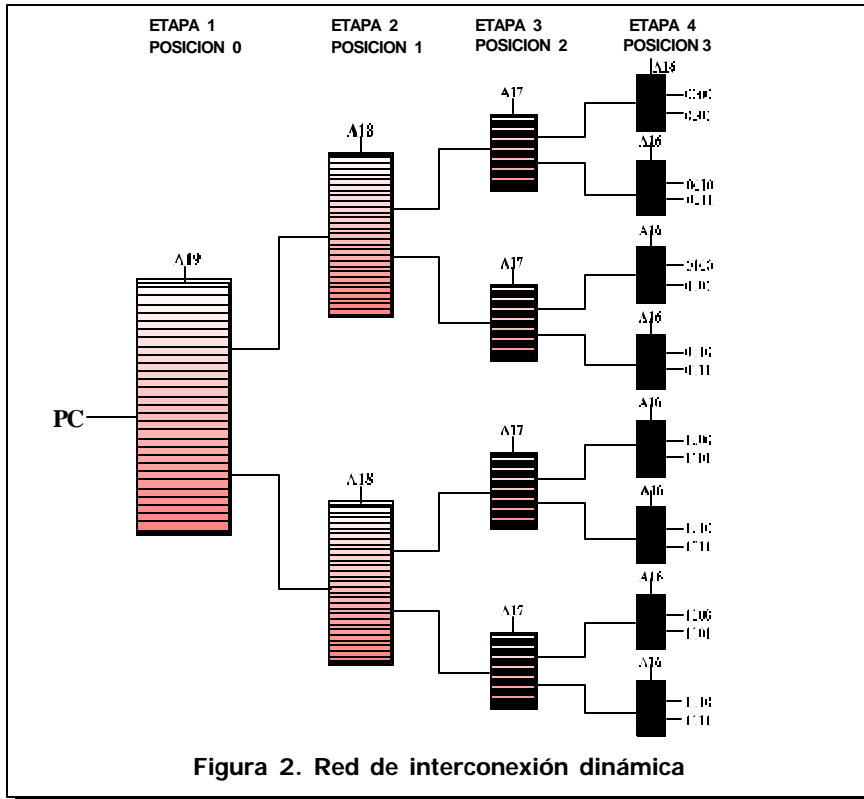


Figura 2. Red de interconexión dinámica

controla A₁₆ es la etapa 4 y tiene la posición tres. Así que cada etapa consiste de $m = 2^p$ enlaces y conmutadores, en donde p es el número de la posición de la etapa en la red. Según lo anterior la etapa 1 consta de un enlace y de un conmutador ($m = 2^0 = 1$), la etapa 2 consta de dos enlaces y dos conmutadores ($m = 2^1 = 2$), la etapa 3 consta de cuatro enlaces y cuatro conmutadores ($m = 2^2 = 4$) y la etapa 4 consta de ocho enlaces y ocho conmutadores ($m = 2^3 = 8$). La figura 2 muestra la estructura de la red para el mapeo en cada uno de los segmentos.

En base a los estudios cuantitativos y cualitativos anteriores se concluye que el mapeador requiere un sistema de programación para programar a los conmutadores programables. Un sistema de programación en los sistemas digitales básicamente está integrado por expresiones Booleanas, las cuales determinan cómo debe operar el sistema según qué estímulo le llegue.

A partir de la figura 1 y del concepto de permutación para una red de interconexión se obtendrá para el sistema de programación una expresión Booleana. Una permutación refiere a la conexión de un conjunto de fuentes a un conjunto de destinos tales que cada fuente es conectada a un simple destino, al observar este concepto se ve que es congruente con el concepto que se aplicó anteriormente de la correspondencia unívoca. La representación simbólica de una conexión en este caso es la representación de un par ordenado. En vista de lo anterior y recordando que la red solo activa a la vez un mapeador, la permutación en este caso es [(S,D)] lo que significa que únicamente existe un mapeador en la red haciendo una conexión de una fuente "S" con un destino "D".

Como la permutación es esencialmente un par ordenado se puede encontrar una regla de igualdad que establezca como determinar el segundo miembro a partir del primer

miembro. Esta regla para el fin de este estudio puede ser representada como una función Booleana siguiendo la suposición de que si se está hablando de una conexión, implícitamente se está tratando con un espacio direccionado y según lo ya visto se puede establecer que S denota la representación binaria de una fuente, de modo que se puede establecer que:

$$S = A_{19}A_{18}A_{17}A_{16}$$

indica con cual destino se hace la conexión. Ahora, para tener consistencia, el destino D también debe denotar una representación binaria con cuatro números binarios. Así que la permutación que indica que existe mapeo en el segmento:

$$D (A_{19}=1, A_{18}=1, A_{17}=0, A_{16}=1)$$

es:

$$[(1101, 1101)] \quad \text{Ec. 2}$$

Si la función Booleana es F(S) y si además suponemos, en base a la figura 2, que cada etapa de la red de una conexión es una función Booleana parcial de F(S), entonces :

$$F(S) = f_{19}f_{18}f_{17}f_{16}$$

Estas funciones Booleanas parciales son básicamente funciones de conmutación; entonces, en general, cualquier permutación de una red puede ser representada en términos de un conjunto de funciones de conmutación. La determinación de F(S) en base a la magnitud de la fuente S, se encuentra a partir de una simple tabla de verdad como sigue:

S	a	F(S)						
A ₁₉	A ₁₈	A ₁₇	A ₁₆	®	f ₁₉	f ₁₈	f ₁₇	f ₁₆
1	1	0	1	®	1	1	0	1

Cada una de las funciones de conmutación $f_{19}, f_{18}, f_{17},$ y f_{16} , pueden ser expresadas como:

$$f_{19} = A_{19},$$

$$f_{18} = A_{18},$$

$$f_{17} = \bar{A}_{17},$$

$$f_{16} = A_{16}.$$

La función Booleana, entonces, es

$$F(S) = A_{19}A_{18}\bar{A}_{17}A_{16}$$

lo que indica que para encontrar el destino se hace que $D = F(S)$. Esta función Booleana se cumple cada vez que se desea mapear memoria en el segmento D, o sea, se cumple cuando la permutación existente en la red de interconexión de mapeo es [(1101, 1101)], así que el mapeador para el segmento D debe integrar en su sistema de programación la implementación de la función a la cual se le puede nombrar como una función de mapeo de la red de interconexión.

En general, se puede decir que:

$$F(S) = A_{19}A_{18}A_{17}A_{16}$$

es la función sintética de las dieciséis posibles funciones de la red de interconexión de mapeo. La función $F(S)$ además de indicar que destino se conecta con la fuente, indica a través de los valores de las líneas A_{19}, A_{18}, A_{17} y A_{16} cómo programar los conmutadores de cada etapa para direccionar gradualmente un destino.

EL SISTEMA DE MULTIPROCESAMIENTO

La tarjeta de coprocesamiento tiene una máquina construida con los conceptos del mapeo, que indica quienes desean comunicarse, y la técnica de enrutamiento de Wormhole que indica cómo deben comunicarse sin colisiones. El algoritmo

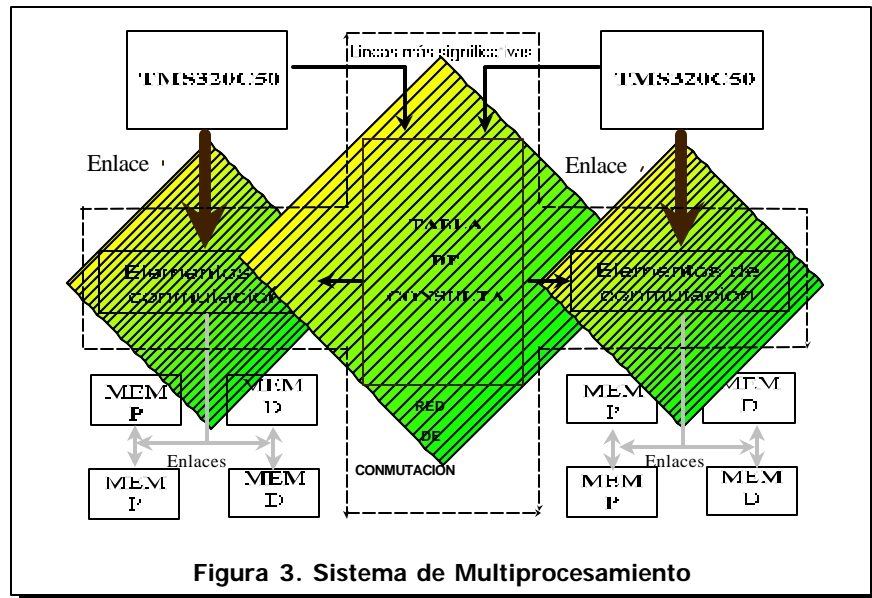


Figura 3. Sistema de Multiprocesamiento

para la técnica de enrutamiento está integrada en la red de conmutación de la red de interconexión. La red de conmutación posee una unidad computacional llamada Tabla de Consulta quien es responsable de un determinado mapeo según lo establece el algoritmo de Wormhole. Se puede considerar que el Wormhole es un caso particular de mapeo entre dos o más elementos de procesamiento. La figura 3 muestra la anatomía del sistema de multiprocesamiento.

La red de conmutación es una solución matemática para evitar colisiones de dos o más procesadores que necesitan actuar sobre recursos de comunicación compartidos. Cada

nodo posee sus propios recursos, y cuyo comportamiento es controlado por la tabla de consulta a través de la petición del procesador del nodo. La tabla de consulta puede asumir en momentos distintos una de tres posibles soluciones según tres posibles problemas de comunicación en la red de conmutación.

El primer problema de comunicación en el sistema de multiprocesamiento que resuelve la tabla de consulta, es el que existe cuando los nodos funcionan independientemente uno del otro. El funcionamiento independiente puede ser síncrono o asíncrono, y además puede o no existir concurrencia. En la figura 4

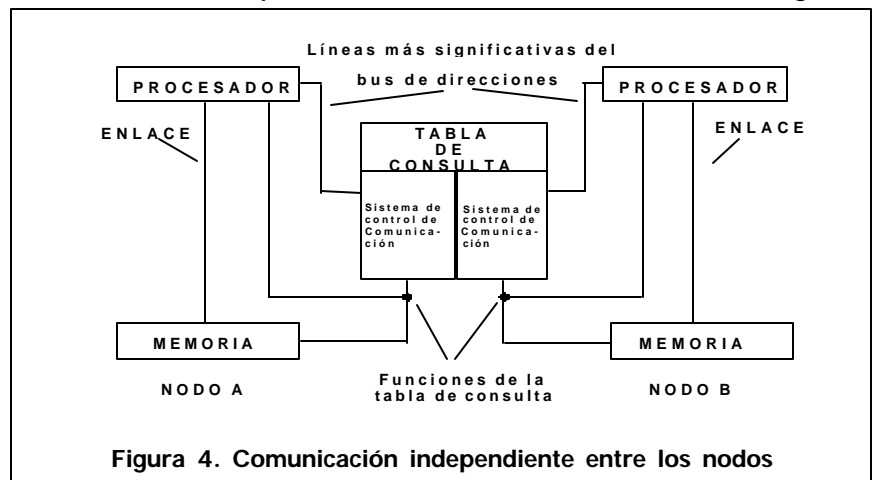


Figura 4. Comunicación independiente entre los nodos

se muestra el postulado de la representación aproximada de la disposición de los componentes funcionales de los nodos, y los enlaces que se establecen en este tipo de comunicación.

El segundo problema de comunicación en el sistema de multiprocesamiento que resuelve la tabla de consulta, es el que existe cuando los nodos funcionan dependientemente uno del otro. Este funcionamiento puede ser síncrono o asíncrono, y además existe concurrencia. La dependencia se establece cuando los nodos direccionan sus memorias remotas. En la figura 5 se muestra el postulado de la representación aproximada de la disposición de los componentes funcionales de los nodos y los enlaces que se establecen entre ellos.

El tercer problema de comunicación en el sistema de multiprocesamiento que resuelve la tabla de consulta, es el que existe cuando los nodos direccionan la misma memoria. En este funcionamiento no existe la concurrencia. En las figuras 6 y 7 se muestra una representación aproximada para este tipo de comunicación. Para lograr la comunicación se usan dos técnicas anti-colisiones: la que genera estados de espera, y la que genera estados de retención en uno de los procesadores. Estas técnicas son mutuamente exclusivas y se activan dinámicamente según lo pre-disponga la aplicación.

Finalmente, los teoremas que fundamentan el diseño teórico de la tabla de consulta son esencialmente los teoremas del mapeo:

TEOREMAS

Las líneas más significativas del direccionamiento de un espacio de memoria crean la correspondencia entre el procesador y el espacio de memoria.

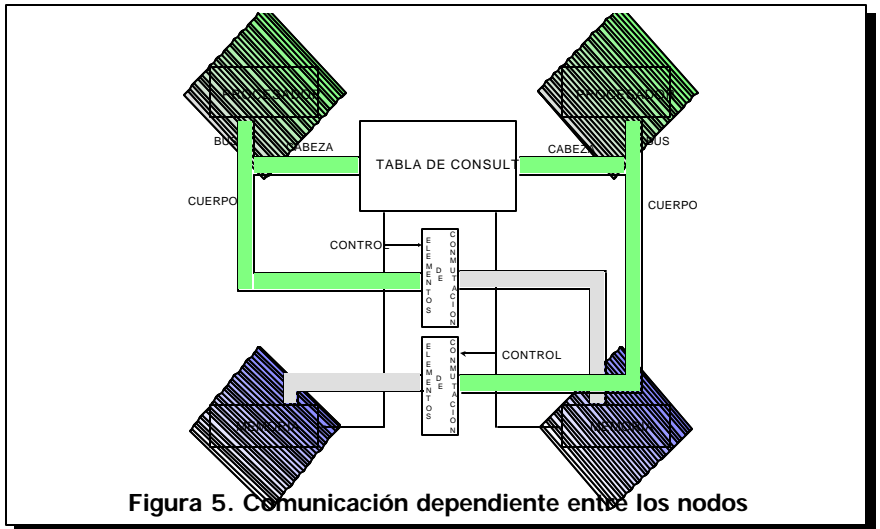


Figura 5. Comunicación dependiente entre los nodos

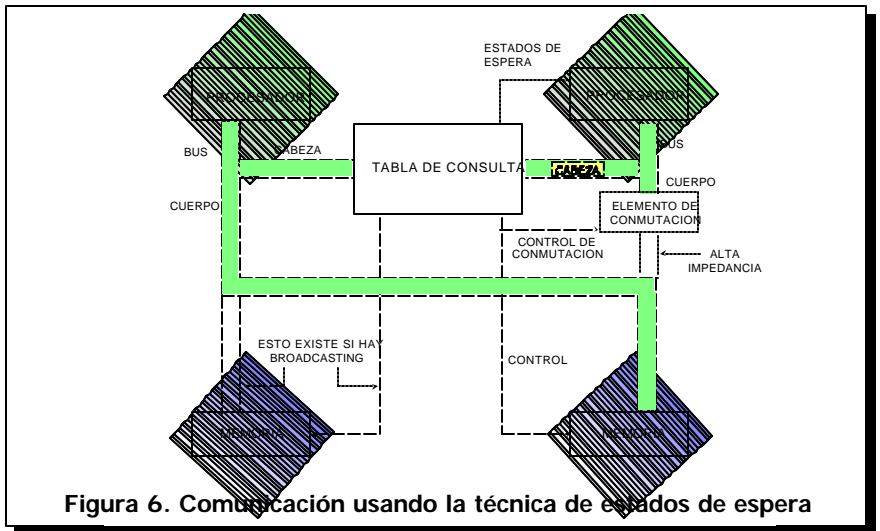


Figura 6. Comunicación usando la técnica de estados de espera

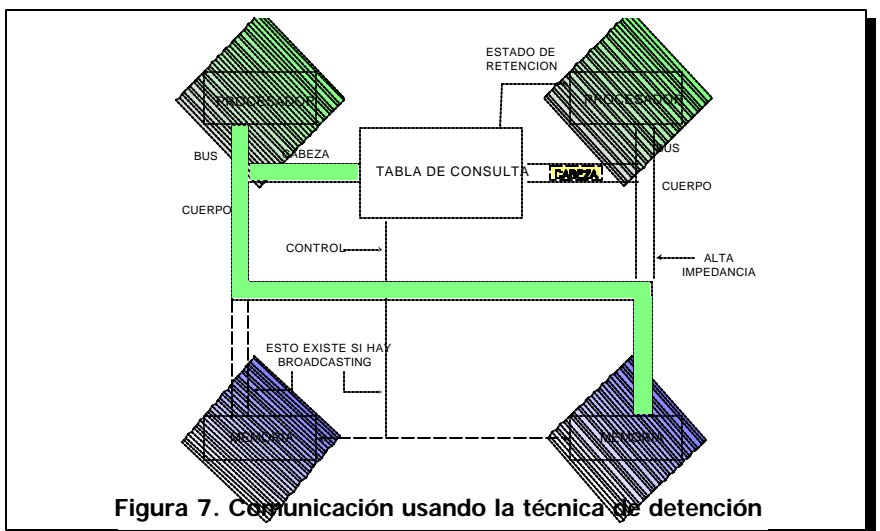


Figura 7. Comunicación usando la técnica de detención

Las líneas menos significativas del direccionamiento de un espacio de memoria están en la correspondencia del procesador y el espacio de memoria.

COROLARIO 1.1:

Las líneas más significativas del bus de direcciones del procesador son la cabeza del mensaje en la técnica de enrutamiento Wormhole.

COROLARIO 2.1:

La correspondencia entre el procesador y la memoria es también el enlace.

COROLARIO 2.2:

Las líneas menos significativas del bus de direcciones del procesador están en el cuerpo del mensaje en la técnica de enrutamiento Wormhole.

CONCLUSIÓN

La técnica del mapeo básicamente es un método de postulación que permite resolver conceptualmente los problemas del direccionamiento del tipo coplanar en los sistemas de coprocesamiento y en los sistemas multiprocesador.

RECONOCIMIENTOS

Se agradece al filósofo L. Ronald Hubbard por su Tecnología de Estudio y su filosofía aplicada en la vida, que es la piedra angular para el desarrollo de este diseño. Y al investigador Rodrigo Fernandez Mas por el conocimiento y el Know-How en el diseño digital de la técnica de mapeo; al investigador Miguel Lindig Bos por el conocimiento del diseño de máquinas paralelas y el diseño digital con FPGAs.

RESULTADOS

Este diseño es parte del proyecto: Diseño de un Chip Set de FPGAs para Implementar una Máquina Paralela tipo MIMD, de la línea de Investigación: *APLICACIONES DE DICADAS DE FPGAs* del Instituto Politécnico Nacional. Este proyecto generó un grupo joven de investigadores, y con él tres tesis sustentadas y aprobadas en la Maestría de Sistemas Digitales:

- *Diseño de un Sistema de Memoria Mapeada Implementado con FPGAs para un Arreglo Lineal de dos DSP TMS320C50.* Maestro en Ciencias: María Aurora Segura Corona.
- *Integración de una Red de Conmutación basada en Wormhole Routing, utilizando la tecnología de FPGAs.* Maestro en Ciencias: Amadeo José Argüelles Cruz.
- *Diseño y Construcción de un Filtro Digital en un Dispositivo FPGA.* Maestro en ciencias: Arguimiro Millán Alarcón.

BIBLIOGRAFÍA

- [1] Tom Shanley / Don Anderson. *"ISA System Architecture"*. Ed. Mindshare, Inc. 1995
- [2] *"Five Generation TMS320 User's Guide"*. Texas Instruments 1994
- [3] Daniel D. Gajski. *"Principios de iseño Digital"*. Prentice Hall 1996
- [4] M. Morris Mano. *"Arquitectura de Computadoras"*. Prentice Hall. 3a Ed. 1997
- [5] *"Fast Advanced Schottky TTL Logic Data Book"*. National Semiconductor. 1990
- [6] Hwang / Briggs. *"Arquitectura de Computadoras y Procesamiento Paralelo"*. McGraw - Hill.