

Un Multiplicador Digital de Frecuencia, de Alta Precisión y Alta Velocidad

Dr. Miguel Lindig Bos

Director del CIDETEC-IPN

M. en C. Eduardo Vega Alvarado

Jefe del Departamento de Información y Documentación del CIDETEC-IPN

En este artículo se presenta el diseño de un multiplicador digital de frecuencia basado en aritmética de módulo N , donde N es el factor multiplicador. Para $N < 2^n$, siendo n un entero positivo, el circuito de corrección requiere de un sumador binario simple, y opera sobre $(n+1)$ bits, manteniendo un error de frecuencia de salida con media de cero. Para valores prácticos de N , el esquema de corrección requiere de tres periodos del reloj maestro, con un periodo mínimo de reloj equivalente a 6 retrasos de compuerta unitaria. Por lo tanto, para $N \geq 3$, el límite inferior de la frecuencia del reloj maestro es de solo N veces la frecuencia máxima de entrada. Se propone una solución que no requiere elementos aritméticos, para aplicaciones donde la frecuencia máxima de entrada es menor ó igual a N^2 veces la frecuencia del reloj maestro. Se describe la implementación con arreglos de compuertas programables en campo (FPGA's), presentándose un análisis detallado del error en frecuencia.

I. Introducción

Los multiplicadores de frecuencia digitales se utilizan ampliamente

en el campo del procesamiento digitales de señales. Idealmente, tales dispositivos generan N pulsos de salida equidistantes durante cualquier periodo dado de una señal de entrada. En la practica, el periodo de la entrada se mide como una función del numero de ciclos de un reloj maestro, ocurriendo entre dos ciclos sucesivos de la señal de entrada. En forma similar, el periodo de los pulsos de salida está restringido a un número entero de periodos del reloj maestro. Obviamente, la precisión del multiplicador de frecuencia está limitada por la resolución al medir el periodo de entrada, así como por el hecho de que, en general, el resultado de dividir la frecuencia del reloj maestro entre el factor multiplicador no es un número entero.

Es posible compensar la segunda fuente de error, si se elimina la restricción de que los pulsos de salida deban ser equidistantes durante cualquier periodo dado de la señal de entrada. En la literatura especializada se han publicado diversos diseños de multiplicadores digitales de frecuencia, los cuales difieren tanto en su principio de operación como en la manera en que se realiza la corrección de errores [1], [5]. En general, se pueden distinguir dos principios básicos de operación:

a.- El periodo de la señal de entrada se mide como un número entero de ciclos del reloj maestro. El resultado se divide entre el factor multiplicador. La parte entera del

cociente es el número mínimo de periodos del reloj maestro entre pulsos consecutivos de salida. El residuo de la división es la base para la corrección del error.

b.- La frecuencia del reloj maestro se divide entre el factor multiplicador. La señal de reloj resultante se utiliza para medir el periodo de entrada. La parte entera de la medición es el número mínimo de periodos del reloj maestro entre pulsos sucesivos de salida, y la fracción es la base para la corrección del error.

Como puede observarse, ambos principios son equivalentes. Sin embargo, el segundo planteamiento tiene la ventaja de que la división puede realizarse mediante un proceso simple de cuenta; por esta razón, se aplica en el diseño aquí propuesto. En las secciones siguientes se describe el algoritmo de corrección de error. El tren de pulsos generado por este algoritmo no está espaciado uniformemente; las implicaciones de este hecho se discuten a continuación, proponiéndose varias mediciones del error. Estos errores se compararán con los generados por un multiplicador de frecuencia sin mecanismo de corrección. Finalmente, se describe la solución de diseño.

II. El Algoritmo de Corrección

Considérese f_{CLK} como la frecuencia maestra de reloj, siendo τ_{CLK} el periodo correspondiente. En forma similar, sean f_{IN} y τ_{IN} la frecuencia y el periodo de entrada, respectivamente. Para un factor multiplicador N , se define f_{DIV} y τ_{DIV} como f_{CLK}/N y $N\tau_{CLK}$, respectivamente. Por simplicidad, se asume que $K = \tau_{IN}/\tau_{CLK}$ es un entero positivo. $\lfloor x \rfloor$ denota el mayor entero menor o igual a x . Para $f_{CLK} > Nf_{IN}$, el algoritmo se basa en la medición de:

$$M = \lfloor \tau_{IN} / \tau_{DIV} \rfloor = \lfloor \tau_{IN} / N\tau_{CLK} \rfloor \quad \dots 1$$

y

$$R = \tau_{IN} / \tau_{CLK} \big|_{\text{mod} N} \quad \dots 2$$

Entonces:

$$K = NM + R \quad \dots 3$$

y, obviamente, $R \leq (N - 1)$. Tanto M como R pueden determinarse utilizando contadores. Sea que p_n , $n = 0, 1, \dots, N - 1$, denota los pulsos de salida generados durante un periodo τ_{IN} dado. Asumiendo la siguiente expresión para el periodo del pulso de salida, $\tau_{OUT}(n)$, entre los pulsos p_n y p_{n-1} ,

$$\tau_{OUT}(n) = [M + \delta(n)] \tau_{CLK} \quad \dots 4$$

donde:

$$\delta(n) = 0 \text{ si } r(n) < N, \\ \delta(n) = 1 \text{ en cualquier otro caso, y}$$

$$r(0) = R, r(n) \big|_{n \neq 0} = R + \rho(n-1)$$

$$\rho(n) = \lfloor r(n) \rfloor \big|_{\text{mod} N}$$

Esto es, el periodo del pulso de salida será $M\tau_{CLK}$ o $(M + 1)\tau_{CLK}$, para todan. Ya que durante un periodo de la señal de entrada $K\tau_{CLK}$ al residuo R se le suma $N \bmod N$, el número total

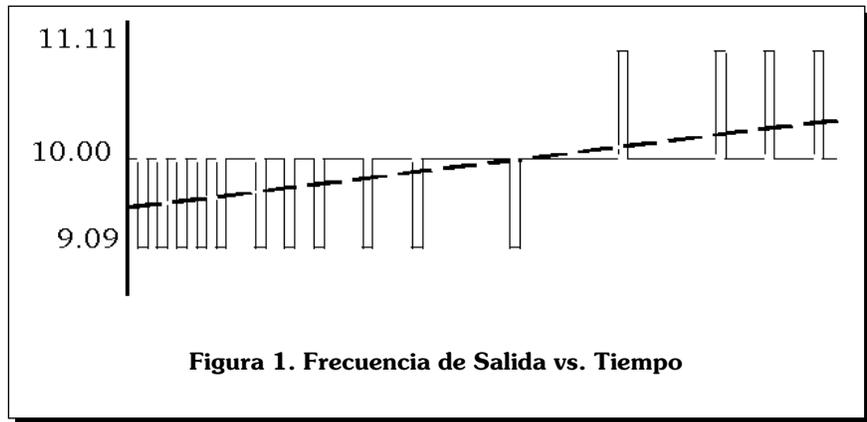


Figura 1. Frecuencia de Salida vs. Tiempo

de periodos del reloj maestro adicionales a NM es claramente igual a R , y la compensación se realiza con una media de error cero.

III. Análisis del Error

En la discusión anterior, se asumió que el periodo de la señal de entrada era igual a un número entero K de periodos del reloj maestro. En caso contrario, el periodo de entrada normalizado efectivo puede ser K o $K + 1$. El algoritmo genera, entonces, un periodo mínimo de salida normalizado dado por (1):

$$\tau_{OUT} / \tau_{CLK} \big|_{\text{MIN}} = \lfloor K / N \rfloor$$

o, si $(K + 1) / N$ no es un entero, un máximo dado por (4):

$$\tau_{OUT} / \tau_{CLK} \big|_{\text{MAX}} = \lfloor (K + 1) / N \rfloor + 1$$

Pero, para $rN \leq K < (r + 1)N - 1$, $r = 1, 2, \dots$,

$$\lfloor (K + 1) / N \rfloor = \lfloor K / N \rfloor$$

Si no, $(K + 1) / N$ es un entero, donde se tiene que la frecuencia instantánea de salida es:

$$f_{OH} = f_{CLK} / \lfloor \tau_{IN} / N\tau_{CLK} \rfloor, \text{ o}$$

$$f_{OL} = f_{CLK} / (\lfloor \tau_{IN} / N\tau_{CLK} \rfloor + 1), \text{ y :}$$

$$(f_{OH} - f_{OL}) / f_{OL} = \dots 1 / \lfloor \tau_{IN} / N\tau_{CLK} \rfloor < (N+1) f_{IN} / f_{CLK}$$

Para una desviación máxima de la frecuencia de salida, con frecuencia máxima de entrada y un factor multiplicador dado, la frecuencia mínima del reloj maestro se obtiene de (5). La **Figura 1** muestra la frecuencia de salida ideal (línea punteada), y la frecuencia generada por el algoritmo, para $N = 10$, $f_{IN} = (0.95 + 0.01t)$ y $f_{CLK} = 100$. Sin compensación, y para el rango de entrada mostrado, la salida sería 10 para $f_{IN} \leq 10$, y 11.11 para $f_{IN} > 10$.

La máxima desviación permisible para la frecuencia de salida depende, por supuesto, de la aplicación. En este caso, la salida del multiplicador de frecuencia se utiliza para muestrear una señal analógica limitada en banda, relacionada armónicamente con la frecuencia de entrada. La reconstrucción de señales muestreadas irregularmente se ha analizado con mucha atención [6], [8]. En [9] se discuten algoritmos de reconstrucción; estos algoritmos requieren, sin embargo, de cantidades importantes de cómputo, y su implementación puede no ser factible en aplicaciones de tiempo real. Entonces, es de interés establecer los límites superiores para los errores, tanto de amplitud como de fase, para las diferentes componentes en frecuencia de la señal muestreada.

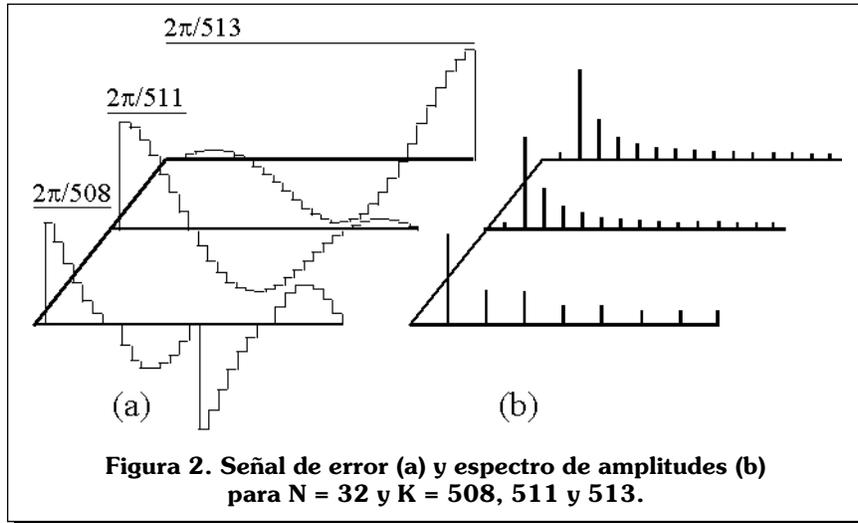


Figura 2. Señal de error (a) y espectro de amplitudes (b) para N = 32 y K = 508, 511 y 513.

Para un multiplicador ideal, el periodo de salida se obtiene de (3) como:

$$\tau_{OUT} = \tau_{IN} / N = (M + R / N) \tau_{CLK} \quad \dots 6,$$

y la componente fundamental de frecuencia para un periodo de entrada dado se puede escribir como $\text{sen}[(2\pi n / K) (M + R / N)]$. Para el algoritmo de corrección descrito, la señal muestreada toma la forma $\text{sen}[(2\pi / K) (nM + \lfloor nR / N \rfloor)]$. Definiendo la señal error $\epsilon(n)$:

$$\epsilon(n) = \text{sen}[(2\pi n / K)(M + R / N)] - \text{sen}[(2\pi / K) (nM + \lfloor nR / N \rfloor)] \quad \dots 7$$

Ya que $(nR / N) < [(\lfloor nR / N \rfloor) + 1]$, y por el uso de una identidad trigonométrica, (7) puede escribirse como:

$$\epsilon(n) < 2\text{sen}(\pi / K) \cos(\pi / K) \{2n [M + (R / N)] - 1\}, y$$

$$\epsilon(n)_{MAX} < 2\text{sen}(\pi / K) \approx 2\pi / K \quad \dots 8,$$

para valores grandes de K. El error de fase máximo es, obviamente, menor que $2\pi / K$. Esto es, el error máximo depende solamente de la relación τ_{IN} / τ_{CLK} . Para un multiplicador de fre-

cuencia sin mecanismo de corrección, un análisis similar da:

$$\epsilon(n)_{MAX} < 2\text{sen}[\pi (N - 1) / K] \quad \dots 9$$

La ecuación (8) se puede generalizar fácilmente para componentes armónicos mayores de la señal muestreada. Sea h el número de la componente armónica, $h = 1, 2, \dots, \lfloor N/2 \rfloor$; entonces:

$$\epsilon(n)_{MAX} < 2\text{sen}(\pi h / K) \quad \dots 10$$

La figura 2 muestra la señal de error y el correspondiente espectro de amplitud para N = 32 y diferentes valores de K:

Si la señal muestreada se procesa posteriormente con un filtro pasa bajos o pasa banda, el error de fase instantáneo se reduce y tiende hacia el error de fase medio. Usando (3), la diferencia entre los instantes de muestreo ideal y real está dada por:

$$\delta(n) = \{n (K / N) - \lfloor n(K / N) \rfloor\},$$

donde $n = 0, 1, \dots, N - 1$. El tiempo promedio de retardo es, entonces:

$$\delta_{AV} = \{n - \lfloor n \rfloor\} \quad \dots 11$$

Se puede demostrar que $0.25 \leq \delta_{AV} < 0.5$. La Ecuación (11) se puede evaluar, ya que se conoce N y K se mide como parte del algoritmo. El retraso promedio para cualquier componente armónico h de la señal de entrada muestreada, en radianes, está dado por:

$$\theta(n)_{AV} = 2 \pi h \delta_{AV} / K \quad \dots 12$$

IV. Descripción del Diseño

La Figura 3 (en la siguiente página) muestra un diagrama a bloques simplificado del multiplicador digital de frecuencia. El circuito básico está constituido por los contadores CT1, CT2 y CT3, junto con el registro RG1. La frecuencia de entrada f_{IN} , un tren de pulsos con duración arbitraria de pulso, se alimenta a la lógica de selección de polaridad. Esta lógica genera un pulso de arranque SP de un τ_{CLK} de duración, para cualquier transición 0 a 1, o 1 a 0, en el pulso de entrada. SP motiva que el complemento a dos de la constante multiplicadora, N, se cargue en el contador CT1. CT1 es un contador ascendente que, al alcanzar la cuenta -1, genera un pulso de cuenta terminal (CT) de un τ_{CLK} de duración. TC recarga al contador con -N. Así, la señal de cuenta terminal es un tren de pulsos cuya frecuencia es f_{CLK} / N . Los componentes secuenciales del circuito funcionan en forma síncrona con f_{CLK} . La presencia de un pulso de inicio origina que la cuenta existente en el registro REG1, y se limpie CT2. Este contador incrementa su cuenta si se habilita por la salida de cuenta terminal (TC) de CT1. La cuenta transferida a REG1 es, entonces, $\lfloor \tau_{IN} / N \tau_{CLK} \rfloor = M$. CT3 es un contador descendente que, al alcanzar el valor terminal de cuenta tomado por la lógica de detección TC, se inicia al valor M. Esto es, la lógica de detección TC genera, en principio, un tren de pulsos con un

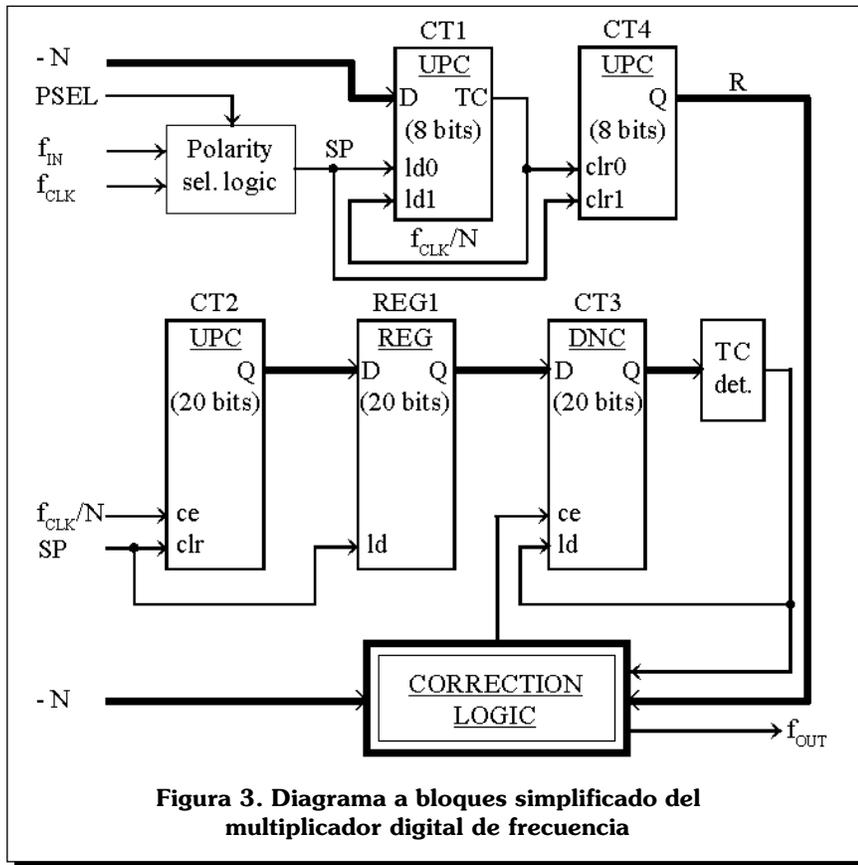


Figura 3. Diagrama a bloques simplificado del multiplicador digital de frecuencia

periodo $M\tau_{CLK}$, o una frecuencia de salida de f_{CLK}/M . Asumiendo que $\tau_{IN}/N\tau_{CLK}$ es un entero, entonces la frecuencia de salida es $f_{CLK}/(\tau_{IN}/N\tau_{CLK}) = Nf_{IN}$, como se desea.

La lógica de corrección difiere, tanto en su principio como en la solución de hardware, de otros esquemas de corrección publicados anteriormente [4], [5]. Esta lógica de corrección opera con dos valores de entrada: el complemento a dos de la constante multiplicadora, N , y un residuo R obtenido por el contador $CT4$. $CT4$ es un contador ascendente que se inicia por la señal de cuenta terminal de $CT1$. La cuenta acumulada en $CT4$ al momento de ocurrencia de un pulso SP es, consecuentemente, el residuo R de la división $\tau_{IN}/N\tau_{CLK}$. El circuito de corrección implementa aritmética de módulo N , tal como se muestra en la **figura 4**.

En caso de presentarse un pulso de inicio, SP , el residuo acumulado en $CT4$ se transfiere al registro indicado. En el siguiente ciclo del reloj maestro, los valores R y $-N$ se presen-

tan al sumador por medio de dos multiplexores, y el resultado $(R - N)$ se escribe en el acumulador (ACU). Obsérvese que este valor es, por definición, negativo. Sea $(ACU) \leftarrow X$ representa transferir el valor X al acumulador. Asíumase que el detector de cuenta terminal asociado a $CT3$ genera un pulso de salida cuando la cuenta de $CT3$ alcanza el valor de 1, en el tiempo $\tau(n)$. Entonces, al tiempo:

$$\tau(n) \quad (ACU) \leftarrow (ACU) + R.$$

Si $(ACU) + R \geq 0$, entonces:

$$\tau(n+1) \quad (ACU) \leftarrow (ACU) - N, \text{ y se inhibe } CT3.$$

Si en el momento $\tau(n)$ el resultado de $(ACU) + R$ es menor que 0, se permite la cuenta en $CT3$. De aquí, la condición $(ACU) + R \geq 0$ agrega un periodo τ_{CLK} al periodo de salida, esto es, genera un periodo de salida total de $(M+1)\tau_{CLK}$.

Además de las transferencias de datos indicadas anteriormente, el circuito de corrección requiere la trans-

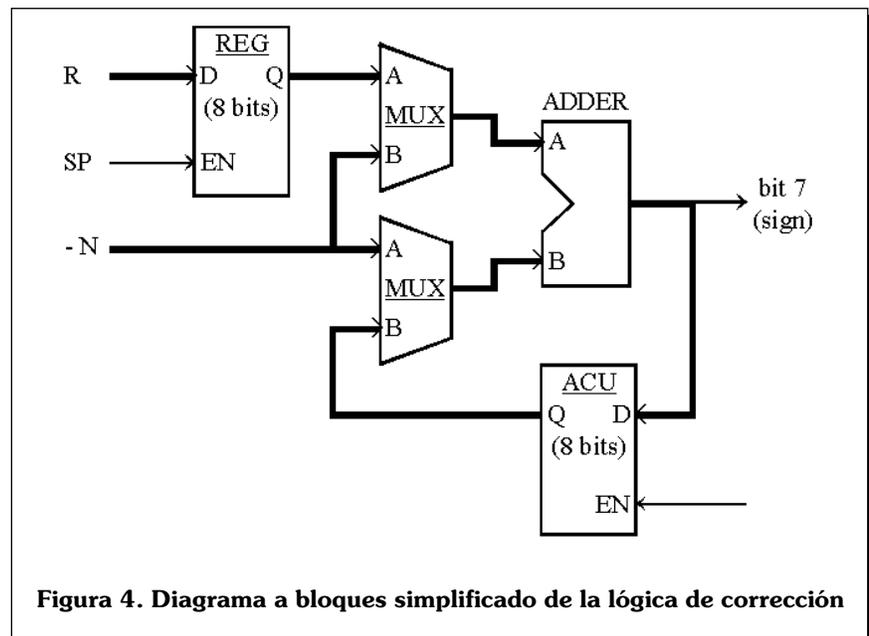


Figura 4. Diagrama a bloques simplificado de la lógica de corrección

ferencia (ACU) $R - N$ siempre que ocurra un pulso de inicio. Se puede verificar por inspección que el circuito de la **figura 4** satisface estas transferencias de datos y que, además, genera retardos similares para todas las transferencias. Para una operación apropiada, el número mínimo de ciclos del reloj maestro entre pulsos de inicio consecutivos es 3. El periodo mínimo de reloj debe ser igual o mayor que la suma de los retardos involucrados en una transferencia de datos. Como ejemplo, considérese la implementación física basada en arreglos de compuertas programables en campo, específicamente en un dispositivo de la familia ACT™ 2 de ACTEL Corp. [10]. Para palabras de datos de 8 bits, esto es, para $N \leq 127$, el periodo mínimo requerido τ_{CLK} es de 6 retrasos de la compuerta unitaria especificados para estos dispositivos, o aproximadamente 18 ns. En términos de recursos, y en referencia a la **Figura 3** (contadores de 20 bits), el circuito de corrección incluyendo a CT4 representa un costo similar al de un multiplicador básico de frecuencia. La función más cara, en ese sentido, es por supuesto el sumador de 8 bits.

Para el caso $f_{IN} \leq N^2 f_{CLK}$, el periodo del tren de pulsos de salida, t_{OUT} , satisface $\tau_{OUT} \geq N \tau_{CLK}$. Ya que el

residuo R definido en (2) es menor o igual que $N-1$, se desprende que la adición implícita en el algoritmo de corrección se puede realizar por un proceso de cuenta. Considérese la **Figura 5**:

El residuo R se almacena en un latch transparente al ocurrir el pulso de inicio, SP. CT5 es un contador descendente que funciona como una máquina de estados, generando $R + 1$ estados; permanece en el estado 0 hasta que se activa, ya sea por un pulso de inicio, o por una cuenta terminal del contador CT3 (TC3, ver **Figura 3**). CT6 es un contador ascendente; su valor inicial, $-N$, se carga con la ocurrencia de SP, o si así es instruido por la lógica combinacional (LD6). Esta última también proporciona las señales de habilitación (CE3, CE6) para los contadores CT3 y CT6. La lógica combinacional realiza las siguientes funciones:

$$LD6 = \overline{TC5} \cdot \overline{TC6} = \overline{CE3}$$

$$CE6 = TC3 \cdot \overline{TC5},$$

donde (\bullet) denota la operación lógica Y y \overline{x} denota la negación lógica de x . Durante cualquiera dos pulsos conse-

cutivos de la cuenta terminal generada por el contador CT3, el circuito de corrección realiza R incrementos en el contador CT6, comenzando en $-N$. Si el proceso de cuenta alcanza el valor de -1 (TC6 = 1), en el siguiente ciclo de reloj se carga el valor inicial de $-N$, y el proceso continúa hasta completar $N - 1$ cuentas. Se observa que el circuito realiza la suma módulo N del residuo R , esto es, ejecuta el algoritmo de corrección descrito anteriormente.

Comparado con la **Figura 4**, el circuito secuencial de corrección requiere un periodo τ_{CLK} de dos retardos de compuerta unitaria. Esto es, opera a mayores frecuencias de reloj maestro. En referencia con la **Figura 3**, el circuito de corrección de la **Figura 5** representa aproximadamente el 40% de los recursos necesarios para el multiplicador de frecuencia básico.

V. Conclusiones

Se describió un multiplicador digital de frecuencia simple, de alta velocidad. El circuito de corrección utiliza un sumador simple para realizar su función, y se aproxima a una solución óptima. El algoritmo de corrección se ejecuta en solo 3 periodos de reloj, con una duración de 6 retardos de compuerta unitaria, permitiendo así aplicaciones de alta velocidad. El factor de multiplicación es totalmente programable, y está limitado solo por el tamaño de la palabra en la lógica de corrección. El diseño favorece la implementación con dispositivos de lógica programable y, en particular, en diseños basados en FPGA's.

Una propiedad importante del multiplicador de frecuencia propuesto, es el hecho de que los instantes precisos en los cuales se generarán los pulsos de salida durante un periodo de entrada dado, están determina-

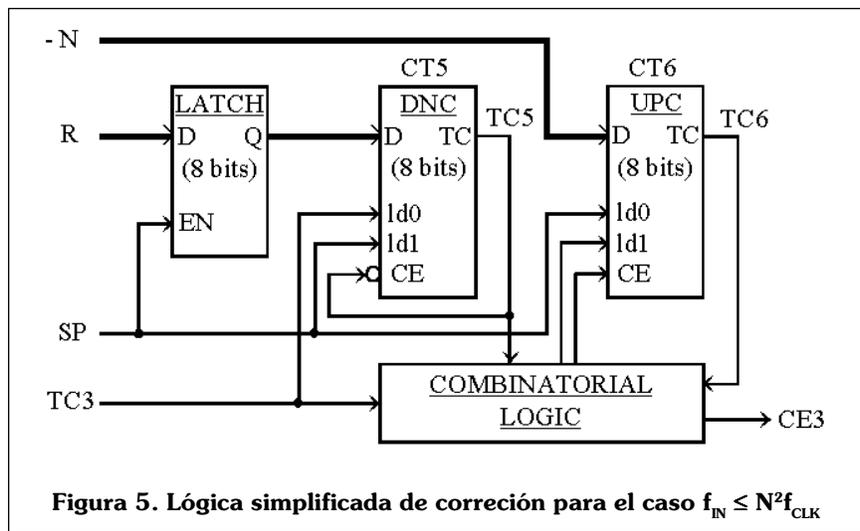


Figura 5. Lógica simplificada de corrección para el caso $f_{IN} \leq N^2 f_{CLK}$

dos únicamente por el resultado de la división $\tau_{IN} / N\tau_{CLK}$. Dada la regularidad del proceso de corrección, un aspecto importante puede ser la posibilidad de reconstruir una señal limitada en banda, muestreada por la salida del multiplicador de frecuencia, por medios distintos a los algoritmos iterativos.

Referencias

- [1] H.Y. Lo, J.H. Lu. "A simple design for a digital programmable frequency multiplier". *Int. J. Electron.*, vol 46 no. 5, pp.535-5542, Dec. 1979.
- [2] K. Muniappan, R. Kitai. "Digital frequency multiplier for spectrum measurement of periodic signals". *IEEE Trans. Instrum. Means.*, vol 26 no. 2, pp.195-198, Sep. 1980.
- [3] N. Boutin et al. "A bit-rate multiplier for digital data processors". Proc. Electronicom '85, Toronto, Canada, oct. 7-9 1985, pp.470-473.
- [4] N. Boutin, A. Boucher. "A novel digital frequency multiplier". *IEEE Trans. Instrum. Means.*, vol 35 no. 4, pp.556-570, Dec. 1986.
- [5] Syed Masud Mahmud. "A programmable Self-Adaptive Digital Frequency Multiplier". *IEEE Trans. Instrum. Means.*, vol 37 no. 2, pp.237-240, June 1988.
- [6] R.E.A.C. Paley, N. Wiener. "Fourier transforms in the complex domain". *Amer. Math. Soc. Coll. Publ.* Vol 19, 1934.
- [7] R. Duffin, A. Schaeffer. "A class of nonharmonic Fourier series". *Trans. Amer. Math. Soc.* 72 (1952), pp. 341-366.
- [8] S. Jaffard. "A density criterion for frames of complex exponentials". *Michigan Math. J.* 38 (1991) pp. 339-348.
- [9] H.G. Feichtinger, K. Gröchenig. "Theory and Practice of irregular sampling". In Benedetto, J. and Frazier, M., editors, *Wavelets: Mathematics and Applications*, CRC Press, pp. 305-363, 1994.
- [10] FPGA Data Book and Design Guide. ACTEL Corp., 1995